

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358237

(P2001-358237A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1 5 B 0 2 5
G 1 1 C 16/02		G 1 1 C 17/00	6 2 2 C 5 F 0 8 3
16/04			6 2 2 A 5 F 1 0 1
16/06			6 1 1 E
H 0 1 L 27/115			6 1 2 E

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2001-113782(P2001-113782)

(22) 出願日 平成13年4月12日 (2001. 4. 12)

(31) 優先権主張番号 2 4 3 7 5 / 2 0 0 0

(32) 優先日 平成12年5月8日 (2000. 5. 8)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136
- 1

(72) 発明者 李 相 培

大韓民国忠清北道清州市興徳区分平洞住公
6 団地アパート609-902

(72) 発明者 崔 在 勝

大韓民国ソウル市永登浦区汝矣島洞広場ア
パート9-205

(74) 代理人 100078330

弁理士 笹島 富二雄 (外 1 名)

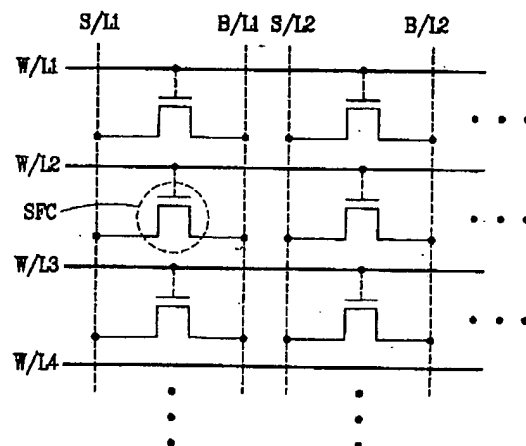
最終頁に続く

(54) 【発明の名称】 フラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法

(57) 【要約】

【課題】 チップの集積度を高め、データプログラム動作及びデータ消去動作を容易に行うことができるフラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法を提供する。

【解決手段】 フラッシュメモリ装置を、MONOS/SONOS構造を有してマトリックス状に配列された複数のフラッシュメモリセルと、同一行に配列されたフラッシュメモリセルのゲートが共通に接続されるように行方向へ配列された複数のワードラインW/L1、...と、同一列に配列されたフラッシュメモリセルのソースが共通に接続されるようにワードラインW/L1、...と直交する方向に配列された複数の選択ラインS/L1、...と、同一列に配列されたフラッシュメモリセルのドレインが共通に接続されるように選択ラインS/L1、...と平行する方向に配列されたビットラインB/L1、...とから構成する。



【特許請求の範囲】

【請求項1】 MONOS/SONOS構造を有し、マトリックス状に配列された複数のフラッシュメモリセルと、

同一行に配列された前記フラッシュメモリセルのゲートが共通に接続されるように、行方向に配列された複数のワードラインと、

同一列に配列された前記フラッシュメモリセルのソースが共通に接続されるように、前記ワードラインと直交する方向に配列された複数の選択ラインと、

同一列に配列された前記フラッシュメモリセルのドレインが共通に接続されるように、前記選択ラインと平行する方向に配列された複数のビットラインと、を備えることを特徴とするフラッシュメモリ装置。

【請求項2】 前記マトリックス状に配列された複数のフラッシュメモリセルの各フラッシュメモリセルは、半導体基板の一領域上に、低濃度窒化酸化シリコン膜と高濃度窒化酸化シリコン膜と低濃度窒化酸化シリコン膜とが積層形成された絶縁膜と、

前記絶縁膜上に形成されたゲート電極と、

前記ゲート電極の両側の前記半導体基板に形成された不純物拡散領域と、を備えることを特徴とする請求項1記載のフラッシュメモリ装置。

【請求項3】 前記マトリックス状に配列された複数のフラッシュメモリセルは、NOR型に配置されることを特徴とする請求項1記載のフラッシュメモリ装置。

【請求項4】 マトリックス状に配列された複数のフラッシュメモリセルの各ゲートとソースとドレインとにそれぞれ接続された複数のワードラインと選択ラインとビットライン、及び、前記各フラッシュメモリセルの下部にそれぞれ形成されているウェルを備えるフラッシュメモリ装置のデータプログラム方法であって、

前記複数のフラッシュメモリセルのうち一つのフラッシュメモリセルを選択する第1段階と、

前記選択されたフラッシュメモリセルのゲートに接続されたワードラインには電源電圧を印加し、前記選択されたフラッシュメモリセルのソースとドレインとに接続された選択ラインとビットライン及び前記選択されたフラッシュメモリセルの下部のウェルには所定の電圧をそれぞれ印加する第2段階と、

前記第2段階を実施すると同時に、前記選択されたフラッシュメモリセルと同一のワードラインに接続されたフラッシュメモリセルのソースとドレインとに接続された選択ラインとビットラインには接地電圧をそれぞれ印加し、前記フラッシュメモリセルの下部のウェルには所定の電圧を印加する第3段階と、

前記第2、第3段階を実施すると同時に、前記選択されたフラッシュメモリセルと同一のワードラインに接続していない残りのフラッシュメモリセルのゲートに接続されたワードラインには接地電圧を印加し、前記フラッシュ

メモリセルのソースとドレインとに接続された選択ラインとビットライン及び前記フラッシュメモリセルの下部のウェルには所定の電圧をそれぞれ印加する第4段階と、を行うことを特徴とするフラッシュメモリ装置のデータプログラム方法。

【請求項5】 マトリックス状に配列された複数のフラッシュメモリセルの各ゲートとソースとドレインにそれぞれ接続された複数のワードラインと選択ラインとビットライン、及び、前記各フラッシュメモリセルの下部にそれぞれ形成されているウェルを備えるフラッシュメモリ装置のデータ消去方法であって、

前記フラッシュメモリセルのゲートに接続されたワードラインに所定の電圧をそれぞれ印加する第1段階と、

前記第1段階を実施すると同時に、前記フラッシュメモリセルのソースとドレインとに接続された選択ラインとビットライン及び前記フラッシュメモリセルの下部のウェルに電源電圧をそれぞれ印加する第2段階と、を行うことを特徴とするフラッシュメモリ装置のデータ消去方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はフラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法に関し、特に、MONOS/SONOS (Metal/poly-Silicon Oxide Nitride Oxide Semiconductor) 構造を有する一つのトランジスタを単位メモリセルとするフラッシュメモリ装置並びにそのデータプログラミング方法及びデータ消去方法に関する。

【0002】

【従来の技術】機能的に最も理想的なメモリ装置は、使用者が電気的な方法によってメモリ状態を任意にスイッチングすることにより容易にプログラミングすることができ、電源が遮断されてもメモリ状態をそのまま維持することができる不揮発性半導体メモリ装置である。

【0003】現在、不揮発性半導体メモリ装置の製造工程技術は、浮遊ゲート系列と、二種類以上の誘電膜が2重又は3重に積層されたMIS (Metal Insulator Semiconductor) 系列とに、大きく分けられる。

【0004】浮遊ゲート系列は、電位ウェルを用いて記憶特性を実現するものであり、現在、フラッシュEEPROM (Electrically Erasable Programmable Read Only Memory) として最も広く応用されているETOX (EPROM Tunnel Oxide) 構造が代表的である。この浮遊ゲート系列は、一つのメモリセルを一つのトランジスタで構成することが可能である。

【0005】一方、MIS系列は、誘電膜バルク、誘電膜-誘電膜界面、誘電膜-半導体界面に存在するトラップを用いて記憶機能を行うものであり、現在、Full-featured EEPROMとして主に応用されているMONOS/SONOS構造が代表的である。

【0006】このMIS系列の不揮発性半導体メモリ装置において、バイト単位でデータをプログラム及び消去する動作を行うためには、MONOS/SONOS構造のトランジスタの他に、選択トランジスタが必ず必要である。即ち、一つのメモリセル当たり二つのトランジスタを備える必要がある。

【0007】以下、添付の図面を参照して、従来のフラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法について説明する。図14は、従来の2トランジスタ1メモリセル型のフラッシュメモリセルを示す断面図である。そして、図15は、図14に示すフラッシュメモリセルを単位メモリセルとする従来のフラッシュメモリ装置の構成図であって、バイト単位でのデータプログラム動作時のバイアス条件を示している。また、図16は、図14に示すフラッシュメモリセルを単位メモリセルとする従来のフラッシュメモリ装置の構成図であって、バイト単位でのデータ消去動作時のバイアス条件を示している。

【0008】従来のフラッシュメモリ装置の単位メモリセルは、二つのトランジスタを一単位として構成されるものである。即ち、従来のフラッシュメモリ装置は、図15と図16に示すように、MONOS/SONOS構造を有する一つのトランジスタと、このトランジスタの選択可否を決定する一つの実選択トランジスタとを一単位とするフラッシュメモリセルがマトリクス状に形成されている。

【0009】そして、同一行に位置した複数のトランジスタのゲートを共通に接続するためのワードラインが、行方向に複数本構成されている。また、同一行に位置した複数のトランジスタのゲートを共通に接続するための選択ワードラインが、前記ワードラインと平行する方向に複数本構成されている。そして、同一列に位置した複数のトランジスタのドレインを共通に接続するためのビットラインが、前記ワードラインと直交する方向に複数本構成されている。また、同一列に位置した複数の選択トランジスタのドレインを共通に接続するための選択ラインが、前記ワードラインと平行した方向に複数本構成されている。

【0010】前記の従来のフラッシュメモリセルは、図14に示すように、データプログラム動作及びデータ消去動作が行われるMONOS/SONOS構造のトランジスタと、バイト単位でデータプログラム動作及びデータ消去動作が行われるようにフラッシュメモリセルを選択する機能を有する選択トランジスタとから構成されている。即ち、前記MONOS/SONOS構造のトランジスタは、図14に示すように、半導体基板10の一領域に、第1酸化膜11、窒化膜12、第2酸化膜13が順に積層形成されたONO (Oxide Nitride Oxide) 構造を有し、前記第2酸化膜13上に第1ゲート電極15aが形成されて構成されている。

【0011】また、選択トランジスタは、第1ゲート電極15aと隔離されるように、半導体基板10上に、第1、第2酸化膜11、13より厚く形成されたゲート酸化膜14と、そのゲート酸化膜14上に形成された第2ゲート電極15bとから構成されている。そして、前記MONOS/SONOS構造のトランジスタと選択トランジスタとの間の半導体基板10には共通ソース領域16aが形成されており、MONOS/SONOS構造のトランジスタ及び選択トランジスタの各外側の半導体基板10にはドレイン領域16bがそれぞれ形成されている。

【0012】前記のように、二つのトランジスタから構成された従来のフラッシュメモリセルに対してデータをプログラムするときには、まず、第1ゲート電極15aに十分に大きな電圧を印加する。これにより、半導体基板10からの電子が半導体基板10上の第1酸化膜11をトンネリングして窒化膜12へ注入される。このとき、第2酸化膜13は、窒化膜12に注入された電子が第1ゲート電極15aに漏れることを防ぐと共に、第1ゲート電極15aから窒化膜12への正孔の注入をも防ぐ。このような意味で、第1酸化膜11はトンネリング酸化膜と称され、第2酸化膜13はブロック酸化膜と称される。

【0013】そして、データプログラム動作及びデータ消去動作では、窒化膜12及び窒化膜12と第2酸化膜13との界面トラップを利用しなければならないので、データプログラム動作及びデータ消去動作のために、チャネルの全領域に電子が注入又は放出される必要がある。

【0014】次に、前記のように構成された従来のフラッシュメモリ装置のデータプログラム動作時のバイアス条件について、図15を参照して説明する。

【0015】まず、図15に示すように、複数のフラッシュメモリセルのうちデータのプログラム動作を行う単位メモリセルMを選択する。その後、選択した単位メモリセルMと同一行に位置した単位メモリセルのトランジスタのゲートに接続されたワードラインにはV_p電圧を印加する。また、選択した単位メモリセルMとは異なる行に位置した単位メモリセルのトランジスタのゲートに接続されたワードラインには0Vの電圧を印加する。そして、選択した単位メモリセルMと同一行に位置した単位メモリセルの選択トランジスタのゲートに接続された選択ワードラインにはV_p電圧を印加する。また、選択した単位メモリセルMとは異なる行に位置した単位メモリセルの選択トランジスタのゲートに接続された選択ワードラインはフローティングさせる。

【0016】そして、選択した単位メモリセルMと同一列に位置した単位メモリセルのトランジスタのドレインに接続されたビットラインには0Vの電圧を印加する。また、選択した単位メモリセルMとは異なる列に位置し

た単位メモリセルのトランジスタのドレインに接続されたビットラインには V_i 電圧を印加する。そして、選択した単位メモリセル M と同一列に位置した単位メモリセルの選択トランジスタのドレインに接続された選択ラインはフローティングさせる。また、選択した単位メモリセル M とは異なる列に位置した単位メモリセルの選択トランジスタのドレインに接続された選択ラインには $0V$ の電圧を印加する。そして、選択した単位メモリセル M と選択していない単位メモリセルの下部のウェル（半導体基板）には全て $0V$ の電圧を印加する。尚、前記説明したバイアス印加動作は、全て同時に行われる。

【0017】次に、従来のフラッシュメモリ装置のデータ消去動作はバイト単位で行われるが、これのバイアス印加条件を、図16を参照して説明する。

【0018】まず、消去する単位メモリセル M を選択する。その後、選択した単位メモリセル M と同一行に位置した単位メモリセルのトランジスタのゲートに接続されたワードラインには $0V$ の電圧を印加する。また、選択した単位メモリセル M とは異なる行に位置した単位メモリセルのトランジスタのゲートに接続されたワードラインには V_p 電圧を印加する。そして、選択した単位メモリセル M と同一行に位置した単位メモリセルの選択トランジスタのゲートに接続された選択ワードラインには V_p 電圧を印加する。また、選択した単位メモリセル M とは異なる行に位置した単位メモリセルの選択トランジスタのゲートに接続された選択ワードラインはフローティングさせる。

【0019】そして、選択した単位メモリセル M と同一列に位置した単位メモリセルのトランジスタのゲートに接続されたビットラインには $0V$ の電圧を印加する。また、選択した単位メモリセル M と異なる列に位置した単位メモリセルのトランジスタのドレインに接続されたビットラインには V_i 電圧を印加する。そして、選択した単位メモリセル M と同一列に位置した単位メモリセルの選択トランジスタのドレインに接続された選択ラインはフローティングさせる。また、選択した単位メモリセル M と異なる列に位置した単位メモリセルの選択トランジスタのドレインに接続された選択ラインには $0V$ の電圧を印加する。そして、選択した単位メモリセル M の下部のウェルには V_p 電圧を印加し、選択されていない単位メモリセルの下部のウェルには全て $0V$ の電圧を印加する。尚、前記説明したバイアス印加動作は、全て同時に行われる。

【0020】

【発明が解決しようとする課題】上記のような従来のフラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法には、次のような問題点があった。第一に、一つの単位メモリセルが二つのトランジスタから構成されているので、チップの面積が大きくなり、高集積化が難しくなる。第二に、一つの単位メモリセルが二

つのトランジスタから構成されているので、これに対してデータをプログラムしたり消去したりするための方法が複雑である。

【0021】本発明は、前記の問題点を解決するためになされたもので、一つの単位メモリセルを一つのトランジスタから構成して、チップ全体の集積度を高めることができるフラッシュメモリ装置を提供することを目的とする。また、一つの単位メモリセルが一つのトランジスタから構成されたフラッシュメモリ装置のバイト単位のデータプログラム動作及びデータ消去動作を容易に行うことができるデータプログラム方法及びデータ消去方法を提供することを他の目的とする。

【0022】

【課題を解決するための手段】前記目的を達成するため、本発明のフラッシュメモリ装置は、MONOS/SONOS構造を有し、マトリックス状に配列された複数のフラッシュメモリセルと、同一行に配列された前記フラッシュメモリセルのゲートが共通に接続されるように、行方向に配列された複数のワードラインと、同一列に配列された前記フラッシュメモリセルのソースが共通に接続されるように、前記ワードラインと直交する方向に配列された複数の選択ラインと、同一列に配列された前記フラッシュメモリセルのドレインが共通に接続されるように、前記選択ラインと平行する方向に配列された複数のビットラインと、を備えることとする。また、前記マトリックス状に配列された複数のフラッシュメモリセルの各フラッシュメモリセルは、半導体基板の一領域上に、低濃度窒化酸化シリコン膜と高濃度窒化酸化シリコン膜と低濃度窒化酸化シリコン膜とが積層形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板に形成された不純物拡散領域と、を備えることとする。また、前記マトリックス状に配列された複数のフラッシュメモリセルは、NOR型に配置されることとする。

【0023】また、本発明のフラッシュメモリ装置のデータプログラム方法は、マトリックス状に配列された複数のフラッシュメモリセルの各ゲートとソースとドレインとにそれぞれ接続された複数のワードラインと選択ラインとビットライン、及び、前記各フラッシュメモリセルの下部にそれぞれ形成されているウェルを備えるフラッシュメモリ装置のデータプログラム方法であって、前記複数のフラッシュメモリセルのうち一つのフラッシュメモリセルを選択する第1段階と、前記選択されたフラッシュメモリセルのゲートに接続されたワードラインには電源電圧を印加し、前記選択されたフラッシュメモリセルのソースとドレインとに接続された選択ラインとビットライン及び前記選択されたフラッシュメモリセルの下部のウェルには所定の電圧をそれぞれ印加する第2段階と、前記第2段階を実施すると同時に、前記選択されたフラッシュメモリセルと同一のワードラインに接続さ

れたフラッシュメモリセルのソースとドレインとに接続された選択ラインとビットラインには接地電圧をそれぞれ印加し、前記フラッシュメモリセルの下部のウェルには所定の電圧を印加する第3段階と、前記第2、第3段階を実施すると同時に、前記選択されたフラッシュメモリセルと同一のワードラインに接続していない残りのフラッシュメモリセルのゲートに接続されたワードラインには接地電圧を印加し、前記フラッシュメモリセルのソースとドレインとに接続された選択ラインとビットライン及び前記フラッシュメモリセルの下部のウェルには所定の電圧をそれぞれ印加する第4段階と、を行うこととする。

【0024】また、本発明のフラッシュメモリ装置のデータ消去方法は、マトリックス状に配列された複数のフラッシュメモリセルの各ゲートとソースとドレインにそれぞれ接続された複数のワードラインと選択ラインとビットライン、及び、前記各フラッシュメモリセルの下部にそれぞれ形成されているウェルを備えるフラッシュメモリ装置のデータ消去方法であって、前記フラッシュメモリセルのゲートに接続されたワードラインに所定の電圧をそれぞれ印加する第1段階と、前記第1段階を実施すると同時に、前記フラッシュメモリセルのソースとドレインとに接続された選択ラインとビットライン及び前記フラッシュメモリセルの下部のウェルに電源電圧をそれぞれ印加する第2段階と、を行うこととする。

【0025】

【発明の実施の形態】以下、添付の図面を参照して、本発明のフラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法について説明する。

【0026】図1は、本発明のフラッシュメモリ装置を示す構成図である。図2は、図1に示すフラッシュメモリ装置を構成するフラッシュメモリセルの断面図であり、図3～図7は、図2に示すフラッシュメモリセルの製造方法の各工程を示す断面図であり、図8は、図1に示すフラッシュメモリ装置に対するデータプログラム動作、データ消去動作及びデータ読み出し動作時に加えられるバイアス条件を示す表である。

【0027】まず、本発明のフラッシュメモリ装置について、添付の図面を参照して説明する。

【0028】本発明のフラッシュメモリ装置は、単位メモリセルがMONOS/SONOS構造を有する一つのトランジスタから構成されたものであり、単位メモリセルはフラッシュメモリセルであるフラッシュEEPROMから構成され、1G (Giga) FET (Field Effect Transistor) 構造を有する。

【0029】また、本発明のフラッシュメモリ装置は、図1に示すようにNOR型に配置されたもので、複数のフラッシュメモリセルがマトリックス状に配列されている。このとき、同一行に配列された複数のフラッシュメモリセルの各ゲートを共通接続するために、行方向に配

列された複数のワードライン $W/L1$ 、 $W/L2$ 、 $W/L3$ 、 $W/L4$ 、・・・を備える。

【0030】また、同一列に配列された複数のフラッシュメモリセルの各ドレインを共通接続するために、行方向に配列された複数のビットライン $B/L1$ 、 $B/L2$ 、・・・を備える。また、同一列に配列された複数のフラッシュメモリセルの各ソースを共通接続するために、前記複数のビットライン $B/L1$ 、 $B/L2$ 、・・・と平行した方向に配列される複数の選択ライン $S/L1$ 、 $S/L2$ 、・・・を備える。従って、前記各フラッシュメモリセルのソースとドレインとは、ビットライン B/L と選択ライン S/L とからそれぞれ異なる信号を受けて動作する。

【0031】次に、前記のようなアレイ構成を有するフラッシュメモリ装置の各フラッシュメモリセルの構成について説明する。図2に示すように、半導体基板101の一領域に、ONO構造を成すように、第3窒化酸化シリコン膜102cと第1窒化酸化シリコン膜102aと第2窒化酸化シリコン膜102bが積層された絶縁膜が形成されている。尚、第1窒化酸化シリコン膜102aは、第2、第3窒化酸化シリコン膜102b、102cより窒素の含有量が多い。

【0032】そして、前記第2窒化酸化シリコン膜102b上にゲート電極103が形成され、第3窒化酸化シリコン膜102cと第1窒化酸化シリコン膜102aと第2窒化酸化シリコン膜102bとゲート電極103の両側面に側壁スペーサー105がそれぞれ形成されている。そして、前記側壁スペーサー105の下部の半導体基板101の表面内には、低濃度ソース領域104aと低濃度ドレイン領域104bとが形成されている。そして、前記ゲート電極103と側壁スペーサー105の下部を除いたゲート電極103の両側の半導体基板101内に、低濃度ソース領域104a及び低濃度ドレイン領域104bより深く、高濃度ソース領域106aと高濃度ドレイン領域106bとが形成されている。前記フラッシュメモリセルは、NMOSTランジスタやPMOSTランジスタから構成される。

【0033】次に、前記の構成を有するフラッシュメモリセルの製造方法について説明する。まず、図3に示したように、半導体基板101上に、化学気相蒸着法による工程や熱酸化工程でシリコン酸化膜102を形成する。その後、図4に示したように、NOまたは N_2O ガス雰囲気中でアニーリング工程を行い、半導体基板101に隣接したシリコン酸化膜102には窒素の含有量の多い第1窒化酸化シリコン膜102aを形成し、その上には、第1窒化酸化シリコン膜102aより相対的に少量の窒素を含有した第2窒化酸化シリコン膜102bを形成する。

【0034】そして、図5に示すように、酸素(O_2)雰囲気中で再酸化工程を行い、前記高濃度の窒素を含有し

た第1窒化酸化シリコン膜102aの下に、相対的に低濃度の窒素を含有する第3窒化酸化シリコン膜102cを形成する。

【0035】次に、半導体基板101の全面にポリシリコン層を蒸着した後、ゲート形成用マスクを用いて、ポリシリコン層と第2窒化酸化シリコン膜102bと第1窒化酸化シリコン膜102aと第3窒化酸化シリコン膜102cとを順に異方性食刻する。これにより、図6に示すように、半導体基板101の一領域に、第3窒化酸化シリコン膜102cと第1窒化酸化シリコン膜102aと第2窒化酸化シリコン膜102bとゲート電極103とが積層形成される。

【0036】その後、ゲート電極103の両側の半導体基板101の表面内に低濃度不純物イオンを注入して、ゲート電極103の両側に、低濃度ソース領域104aと低濃度ドレイン領域104bとをそれぞれ形成する。そして、ゲート電極103を含む半導体基板101の全面に酸化膜(図示せず)を蒸着した後、エッチバックして、第3窒化酸化シリコン膜102cと第1窒化酸化シリコン膜102aと第2窒化酸化シリコン膜102bとゲート電極103の両側面に側壁スペーサー105を形成する。それから、ゲート電極103と側壁スペーサー105をマスクに用いて、半導体基板101内に高濃度不純物イオンを注入して、高濃度ソース領域106aと高濃度ドレイン領域106bとをそれぞれ形成する。

【0037】次に、本発明のフラッシュメモリ装置のデータプログラム方法とデータ消去方法を、図面に基づいて説明する。

【0038】本発明のフラッシュメモリ装置におけるデータプログラム動作及びデータ消去動作は、量子力学的なトンネル効果によってチャネルの全領域で行われるもので、データプログラム動作はバイト単位で行われ、データ消去動作はフラッシュメモリ装置全体やブロック単位で行われる。

【0039】本発明のフラッシュメモリ装置のデータプログラム方法とデータ消去方法を行うためには、図8に示すようなバイアス条件が必要である。最初に、本発明のフラッシュメモリ装置のデータプログラム方法(データプログラム動作時のバイアス条件)について説明する。まず、データをプログラム動作するためのフラッシュメモリセルを選択する。このとき、ワードラインW/L2と選択ラインS/L1とビットラインB/L1の信号を受けるフラッシュメモリセルSFCが選択された場合には、選択したフラッシュメモリセルSFCに対してデータプログラム動作を行う。

【0040】前記のように選択したフラッシュメモリセルSFCに対してデータプログラム動作を行うためには、図1及び図8に示すように、データプログラム動作のために選択されたフラッシュメモリセルSFCのワードラインW/L2には電源電圧Vccを印加し、選択さ

れたフラッシュメモリセルSFCの選択ラインS/L1とビットラインB/L1と半導体基板101(図2参照)には-Vpp電圧を印加する。これが、データプログラム動作のための第1過程である。

【0041】尚、図1に示す各フラッシュメモリセルの下部にはウェルが形成されており、以下の説明では、半導体基板101の代わりにウェルWELLとして説明する。

【0042】前記第1過程を行うと共に、ワードラインW/L2に接続されていないが選択されていないフラッシュメモリセルには、データプログラム動作が行われないように、選択ラインS/L1及びビットラインB/L1を除いた各選択ラインS/L2、・・・及びビットラインB/L2、・・・に、グラウンド電圧GND(0V)を印加し、そのウェルWELLには-Vpp電圧を印加する。これが、データプログラム動作のための第2過程である。

【0043】前記第1、第2過程を行うと共に、ワードラインW/L2に接続されていない残りのフラッシュメモリセルにもデータプログラム動作が行われないように、ワードラインW/L2を除いた残りのワードラインW/L1、W/L3、W/L4、・・・に、グラウンド電圧GND(0V)を印加する。尚、選択ラインS/L1、S/L2、・・・とビットラインB/L1、B/L2、・・・とウェルWELLには、それぞれ-Vpp電圧を印加する。

【0044】前記選択されたフラッシュメモリセルSFCと同一のワードライン信号を受けて動作するフラッシュメモリセルは、前記第1過程のデータプログラム動作を禁止されるので、第1データプログラム禁止領域と定義し、フラッシュメモリセルSFCと異なるワードライン信号を受けるフラッシュメモリセルは、前記第2過程のデータプログラム動作を禁止されるので、第2データプログラム禁止領域と定義する。そして、前記のようなバイアス条件を、各ワードラインW/L1、W/L2、W/L3、W/L4、・・・とビットラインB/L1、B/L2、・・・と選択ラインS/L1、S/L2、・・・とウェルWELLとに印加することにより、フラッシュメモリ装置のデータプログラム動作が進行される。

【0045】次に、本発明のフラッシュメモリ装置のデータ消去方法(データ消去動作時のバイアス条件)について説明する。まず、データ消去動作は、選択されたフラッシュメモリセルSFCのみに対して選択的にデータ消去を行うものではなく、複数のフラッシュメモリセルに対して一括してデータ消去を行うものである。そして、図1及び図8に示したように、複数のワードラインW/L1、W/L2、W/L3、W/L4、・・・の全てに-Vpp電圧を印加し、複数の選択ラインS/L1、S/L2、・・・とビットラインB/L1、B/L2、・・・とウェルWELLとに電源電圧Vccを印加

することで行う。また、前記選択されたフラッシュメモリセルSFCのデータを読み出すためのデータ読み出し動作は、ワードラインW/L2に電源電圧Vccを印加し、選択ラインS/L1とウェルWELLにグラウンド電圧GND(0V)を印加し、ビットラインB/L1にVdd電圧を印加することで行う。前記のようなバイアス条件を各ワードラインW/L1、W/L2、W/L3、W/L4、・・・と選択ラインS/L1、S/L2、・・・とビットラインB/L1、B/L2、・・・とウェルWELLとにそれぞれ印加すれば、フラッシュメモリ装置のデータ消去動作が行われる。

【0046】次に、前記のようなバイアス条件を加えて、データプログラム動作とデータ消去動作を行うとき、各フラッシュメモリセルに現れる動作の特性を、実験データを参照して以下に説明する。

【0047】図9は、図8に示すようなバイアス条件を適用した時のデータプログラム動作特性とデータ消去動作特性を示す図である。図10は、データプログラム動作時に、図8に示す第1データプログラム禁止領域のバイアスが印加されたフラッシュメモリセルの妨害特性を示す図である。図11は、図1に示す構成に図8に示すバイアス条件を適用した場合のデータプログラム動作時とデータ消去動作時のしきい値電圧の分布を示す図である。図12は、本発明のフラッシュメモリ装置のデータ記憶維持特性を示す図である。図13は本発明のフラッシュメモリ装置のデータプログラム動作及びデータ消去動作の回数によるしきい値電圧の維持特性を示す図である。

【0048】まず、データプログラム動作において、選択されたフラッシュメモリセルSFCのワードラインW/L2に3Vの電圧を印加し、選択ラインS/L1とビットラインB/L1とウェルWELLに、-6V、-7V、-8Vの電圧を順に印加する場合には、図9に示すように、データプログラム動作時間の経過に従ってしきい値電圧Vtが増加することが分かる。また、ワードラインW/L2に同一に3Vの電圧が印加されたとき、選択ラインS/L1とビットラインB/L1とウェルWELLとに印加される負電圧が大きいほどデータプログラム動作時間が短くなることが分かる。

【0049】次に、データ消去動作において、全てのフラッシュメモリセルのワードラインW/L1、W/L2、W/L3、W/L4、・・・に-4V、-5、-6Vの電圧を順に印加し、ワードラインW/L1、W/L2、W/L3、W/L4、・・・に順に電圧を印加すると、各フラッシュメモリセルの選択ラインS/L1とビットラインB/L1とウェルWELLに同一に3Vを印加する場合には、データ消去動作時間の経過に従ってしきい値電圧Vtが低くなることが分かる。また、選択ラインS/L1とビットラインB/L1とウェルWELLとに同一に3Vの電圧が印加されたとき、ワードラ

インW/L1、W/L2、W/L3、W/L4、・・・に印加される負電圧が大きいほどデータ消去動作時間は短くなることが分かる。

【0050】次に、選択されたフラッシュメモリセルSFCにデータをプログラム動作する間(すなわち、 1×10^1 秒の間)における第1データプログラム禁止領域のフラッシュメモリセルのデータプログラム状態を、図10を参照して説明する。

【0051】まず、選択されたフラッシュメモリセルSFCにデータプログラム動作が行われる間、第1データプログラム禁止領域のフラッシュメモリセルのワードラインW/Lには3Vの電圧が印加され、選択ラインS/LとビットラインB/Lには0Vの電圧が印加され、ウェルWELLには-7Vの電圧が印加された場合には、フラッシュメモリセルSFCへのデータプログラム動作が終わる時間(1×10^1 秒)までの第1データプログラム禁止領域のフラッシュメモリセルのしきい値電圧Vtは0.05Vを超えていない。

【0052】また、第1データプログラム禁止領域のフラッシュメモリセルのワードラインW/L及びウェルWELLには、前記のように3V及び-7Vの電圧をそれぞれ印加し、選択ラインS/LとビットラインB/Lには-1Vの電圧を印加した場合にも、第1データプログラム禁止領域のフラッシュメモリセルのしきい値電圧Vtは0.15Vしか増加していない。上述のことから、フラッシュメモリセルSFCに対してデータプログラム動作が行われる間、第1データプログラム禁止領域のフラッシュメモリセルにはデータプログラム動作が行われていないことが分かる。

【0053】次に、本発明のフラッシュメモリ装置にデータプログラム動作とデータ消去動作を繰り返して行う間のデータプログラム動作とデータ消去動作によるフラッシュメモリセルのしきい値電圧Vtの分布を、図11に基づいて説明する。

【0054】図11に示すように、ワードラインW/Lに3Vの電圧を印加(このときの印加時間は $500 \mu s$)し、選択ラインS/LとビットラインB/LとウェルWELLとにそれぞれ-8Vの電圧を印加するデータプログラム動作を40回程度繰り返して行ったとき、フラッシュメモリセルのしきい値電圧Vtは $5.38 \pm 0.04 V$ でデルタファンクションを成していることが分かる。また、ワードラインW/Lに-6Vの電圧を印加(このときの印加時間は1s)し、選択ラインS/LとビットラインB/LとウェルWELLとにそれぞれ3Vの電圧を印加するデータ消去動作を30回程度繰り返して行ったとき、フラッシュメモリセルのしきい値電圧Vtは $1.67 \pm 0.03 V$ でデルタファンクションを成していることが分かる。

【0055】前記の実験結果から分かるように、本発明のフラッシュメモリ装置を構成するMONOS/SON

OS構造を有するフラッシュメモリセルは、データプログラム動作及びデータ消去動作を繰り返して行っても、フラッシュメモリセルのしきい値電圧 V_t はほぼ同様となり、動作に信頼性があることが分かる。

【0056】次に、単位メモリセルがMONOS/SO NOS構造を有する一つのトランジスタからなる本発明のフラッシュメモリ装置のデータ記憶維持特性について、図12を参照して説明する。図12において、点線で示した領域が、しきい値電圧 V_t を感知できないレベル($\Delta V_t=0.8$)であり、リード遅延時間が約20年(1×10^9 秒)が過ぎた時点になって初めてデータプログラム動作及びデータ消去動作のためのフラッシュメモリセルのしきい値電圧 V_t が感知できないレベルになる。したがって、本発明のようにMONOS/SO NOS構造で構成されたフラッシュメモリセルは、データ記憶維持特性が優れていることが分かる。

【0057】次に、本発明によるフラッシュメモリ装置を構成するフラッシュメモリセルの耐久性について、図13を参照して説明する。図13に示すように、ワードライン W/L に3Vの電圧を印加(このときの印加時間は $500\mu s$)し、選択ライン S/L とビットライン B/L とウェル $WELL$ とにそれぞれ-7Vの電圧を印加するデータプログラム動作と、ワードライン W/L に-6Vの電圧を印加(このときの印加時間は1s)し、選択ライン S/L とビットライン B/L とウェル $WELL$ とに3Vの電圧を印加するデータ消去動作を行うとき、データプログラム動作/データ消去動作(以下「P/E」という)を1回とすると、このようP/Eの回数が増えても、データプログラム動作におけるしきい値電圧 V_t は4~4.4Vの範囲で変化され、データ消去動作におけるしきい値電圧 V_t は約2Vに維持される。そして、データプログラム動作時のしきい値電圧 V_P からデータ消去動作時のしきい値電圧 V_E を減算した電圧 ΔV_t は、2~2.4Vの範囲を維持していることが分かる。このように、P/Eの回数が増加してもデータプログラム動作とデータ消去動作によるしきい値電圧 V_t は一貫性をもって現れるので、本発明のフラッシュメモリ装置を構成するフラッシュメモリセルは耐久性に優れることが分かる。

【0058】

【発明の効果】以上説明したような本発明のフラッシュメモリ装置並びにそのデータプログラム方法及びデータ消去方法には、次のような効果がある。

【0059】請求項1、2、3に係る発明によれば、一つのフラッシュメモリセルを一つのトランジスタから構成できるので、スケールダウンが容易であり、チップの集積度を向上させることができる。また、フラッシュメモリセルの構造が簡単であり、CMOS工程をそのまま適用して形成できるので、フラッシュメモリ装置を、単独の製品としてだけでなく、他の製品に組み込んだも

のとしても量産が可能である。請求項1、4、5に係る発明によれば、一つのフラッシュメモリセルが一つのトランジスタから構成されているので、データプログラム動作及びデータ消去動作を簡単に行うことができる。

【図面の簡単な説明】

【図1】 本発明のフラッシュメモリ装置を示す構成図。

【図2】 図1のフラッシュメモリ装置を構成するフラッシュメモリセルの構成を示す断面図。

【図3】 図2のフラッシュメモリセルの製造方法の工程を示す断面図。

【図4】 同様に図2のフラッシュメモリセルの製造方法の工程を示す断面図。

【図5】 同様に図2のフラッシュメモリセルの製造方法の工程を示す断面図。

【図6】 同様に図2のフラッシュメモリセルの製造方法の工程を示す断面図。

【図7】 同様に図2のフラッシュメモリセルの製造方法の工程を示す断面図。

【図8】 データプログラム動作、データ消去動作及びデータ読み出し動作時に加えられるバイアス条件を示す表。

【図9】 図8のバイアス条件の適用時のデータプログラム特性及びデータ消去特性を示す図。

【図10】 データプログラム動作時に、第1データプログラム禁止領域のバイアスを印加されたフラッシュメモリセルの妨害特性を示す図。

【図11】 図8のバイアス条件の適用時のデータプログラム動作及びデータ消去動作時のしきい値電圧の分布を示す図。

【図12】 本発明のフラッシュメモリ装置のデータ記憶維持特性を示す図。

【図13】 本発明のフラッシュメモリ装置のデータプログラム回数及びデータ消去回数によるしきい値電圧の維持特性を示す図。

【図14】 従来の2トランジスタ1メモリセル型のフラッシュメモリセルを示す断面図。

【図15】 従来のフラッシュメモリ装置におけるデータプログラム動作時のバイアス条件を示す図。

【図16】 従来のフラッシュメモリ装置におけるデータ消去動作時のバイアス条件を示す図。

【符号の説明】

101: 半導体基板

102: シリコン酸化膜

102a: 第1窒化酸化シリコン膜

102b: 第2窒化酸化シリコン膜

102c: 第3窒化酸化シリコン膜

103: ゲート電極

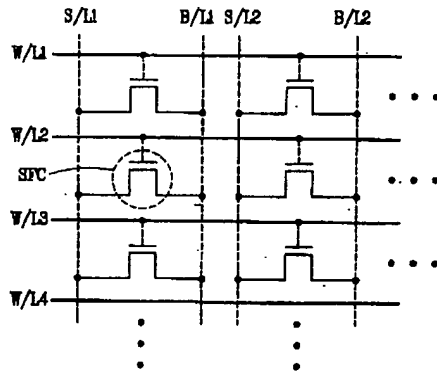
104a: 低濃度ソース領域

104b: 低濃度ドレイン領域

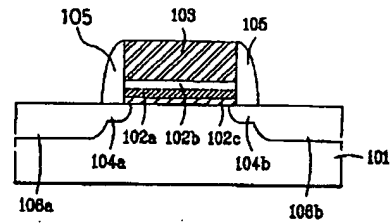
105 : 側壁スペーサー
106 a : 高濃度ソース領域

106 b : 高濃度ドレイン領域

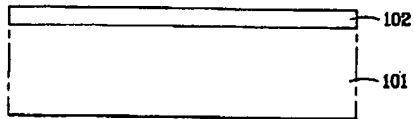
【図1】



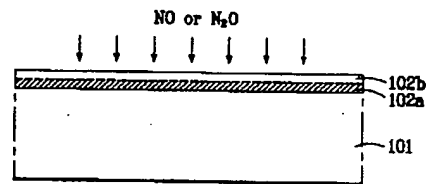
【図2】



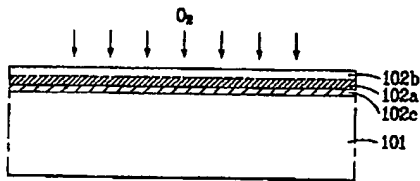
【図3】



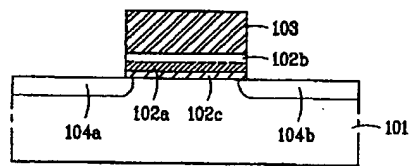
【図4】



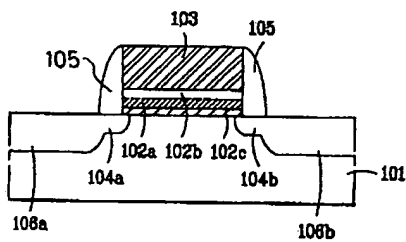
【図5】



【図6】



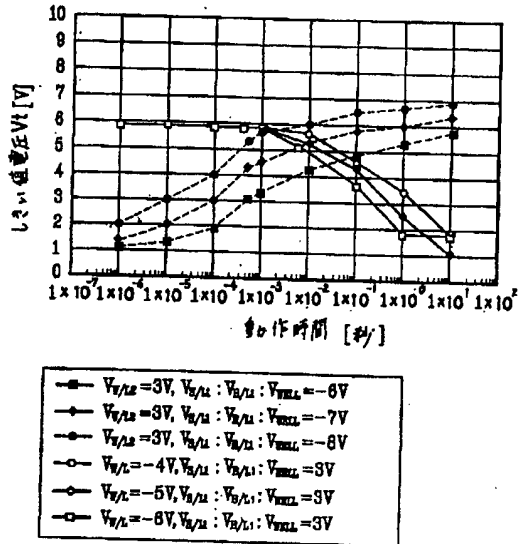
【図7】



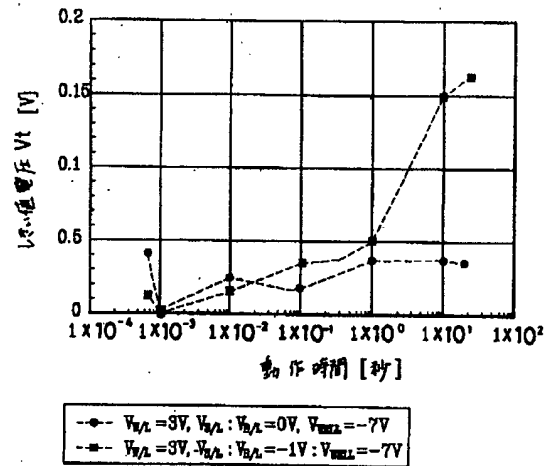
【図8】

動作	V_{G1}	V_{G2}	V_{G3}	V_{G4}
データプログラム動作	V_{CC}	$-V_{PP}$	$-V_{PP}$	$-V_{PP}$
第1データプログラム禁止領域 の動作	V_{CC}	GND	GND	$-V_{PP}$
第2データプログラム禁止領域 の動作	GND	$-V_{PP}$	$-V_{PP}$	$-V_{PP}$
データ消去動作	$-V_{PP}$	V_{CC}	V_{CC}	V_{CC}
データ読み出し動作	V_{CC}	GND	V_{CC}	GND

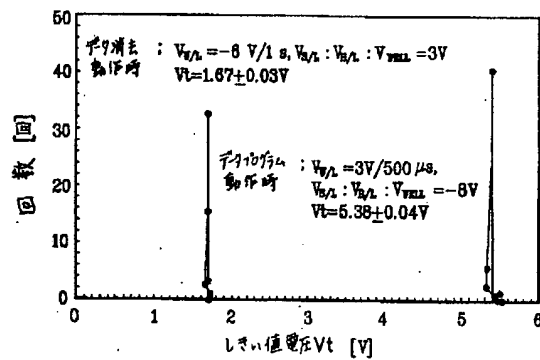
【図9】



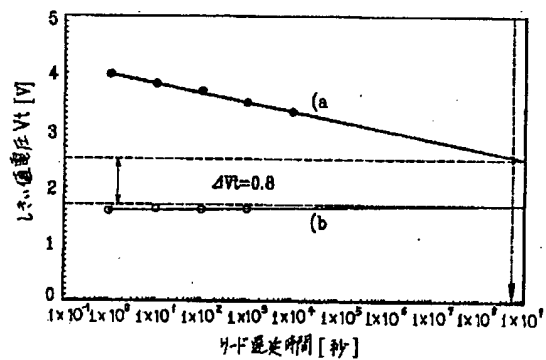
【図10】



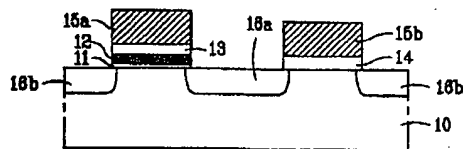
【図11】



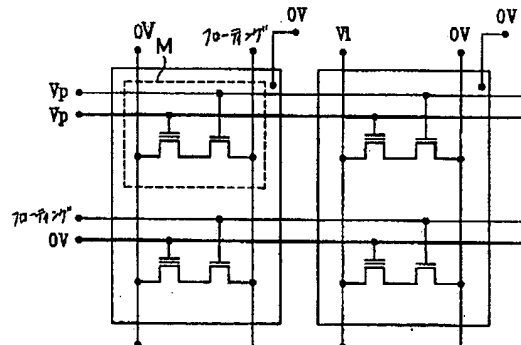
【図12】



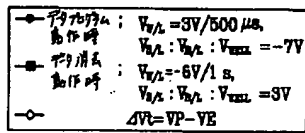
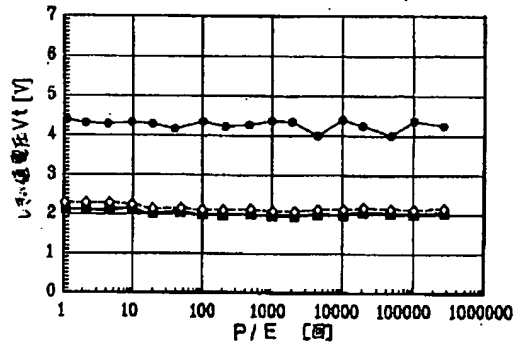
【図14】



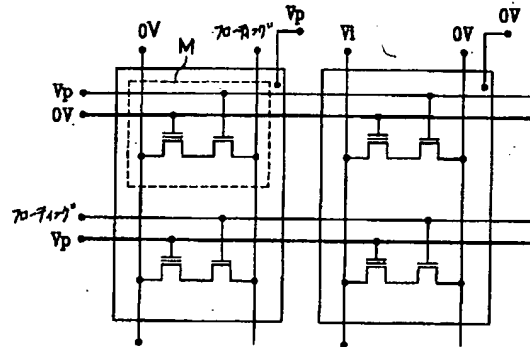
【図15】



【図13】



【図16】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

テマート (参考)

H 0 1 L 29/788
29/792

G 1 1 C 17/00
H 0 1 L 27/10

6 3 5
4 3 4

F ターム (参考) 5B025 AA04 AA07 AB01 AC01 AD00
AD03 AD04 AD08 AD09 AE00
5F083 EP18 EP23 EP63 EP68 EP77
ER22 GA09 JA05 LA20
5F101 BA01 BA29 BA45 BB05 BD07
BE05 BE07

THIS PAGE BLANK (USPTO)